

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020010060787 A**(43)Date of publication of application: **07.07.2001**(21)Application number: **1019990063229**(71)Applicant: **LG.PHILIPS LCD CO., LTD.**(22)Date of filing: **28.12.1999**(72)Inventor: **MUN, SEONG UNG
YOON, SANG CHANG**(51)Int. Cl. **G06F 15/16**(54) **METHOD AND SYSTEM FOR TRANSMITTING DATA**

(57) Abstract:

PURPOSE: A data transmission method and system is provided to transmit comparison type signal expressing if current bit data is equal to prior bit data so that it can reduce the frequency of a data file storing repeated identical logic values in a horizontal and a vertical direction, and as a result, reduce power consumption and EMI.

CONSTITUTION: The system comprises a controller(30), an LCD(32), a data transposer(34) and a D-IC chip(36). The controller(30) continues to supply m bit pixel data for the data transposer(34), and supplies DRS(Data Reset Signal) for the data transposer(34) and the D-IC chip(36). The DRS gets enabled to have a specific logical value for a time when a power is switched on or whenever pixel data corresponding to one page is transmitted. The controller(30) supplies clock signal, instructing a transmission frequency of the pixel data, for the data transposer(34) and the D-IC chip(36). The data transposer(34) compares m bit pixel data of a current line with m bit pixel data of a prior line, bit by bit. The data transposer(34) transmits the m compared bit data toward the D-IC chip via a data bus(31). The data transposer(34) includes a line memory(40) and an exclusive OR gate array(42) for inputting commonly the pixel data from the controller(30).

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20041228)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20061206)

Patent registration number (1006690950000)

Date of registration (20070109)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.
G06F 15/16

(11) 공개번호
(43) 공개일자

특2001-0060787
2001년07월07일

(21) 출원번호 10-1999-0063229

(22) 출원일자 1999년12월28일

(71) 출원인 엘지,필립스 엘시디 주식회사, 구본준, 론 위라하디락사
대한민국
150-875

(72) 발명자 서울 영등포구 여의도동 20번지
윤상창
대한민국
730-350
경상북도구미시임수동엘지동락원기숙사비동610호

문성용
대한민국
730-380

(74) 대리인 경상북도구미시옥계동540번지대백타운106동701호

(77) 심사청구 김영호

없음

(54) 출원명 데이터 전송 방법 및 장치

요약

본 발명은 전력 소모 및 EMI가 최소화되게끔 데이터를 전송하기에 적합한 데이터 송신 방법 및 그 장치에 관한 것이다.

본 발명에서는 전송되어질 비트 데이터가 적어도 1 비트 이상의 기간 지연되게 된다, 전송되어질 비트 데이터는 지연된 비트 데이터와의 동일성 여부로 치환되게 된다. 그렇게 치환된 동일성 여부가 전송 선로 쪽으로 전송되게 된다.

대표도

도2

영세서

도면의 간단한 설명

도 1 은 종래의 데이터 전송 방법이 적용되어진 액정 패널 구동 장치의 회로도.

도 2 는 본 발명의 실시 예에 따른 데이터 전송 시스템이 적용되어진 액정 패널 구동 장치의 블록도.

도 3 은 도2에 도시된 데이터 환원기 어레이에 포함되어진 데이터 환원기를 상세하게 도시하는 도면.

==> 도면의 주요 부분에 대한 부호의 설명 ==>

10,30 : 제어기 12,36 : D-IC 칩

14,32 : 액정 패널 20,44 : 쉬프트 레지스터

22,48 : D-A 변환기 어레이 34 : 데이터 치환기

40 : 라인 메모리 42 : EOX 어레이

46 : 비트 환원기 어레이 50 : 익스클루시브 OR 게이트

52 : 플립플롭

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 데이터를 전송하기 위한 데이터 전송 방법 및 그 장치에 관한 것이다. 본 발명은 상기 데이터 전송 장치를 이용한 액정표시장치에 관한 것이다. 또한, 본 발명은 상기 데이터 전송 장치를 이용한 컴퓨터 시스템에 관한 것이다. 나아가, 본 발명은 전송 선로에서의 전자기 간섭을 최소화하기에 적합한 액정 패널용 데이터 드라이버 집적회로에 관한 것이다.

음성정보나 전송되기 시작한 이래로 전송매체를 통하여 전송되는 텍스트 정보(Text Information) 및 비디오 정보(Video Information)와 같은 최근의 정보는 음성정보에 비하여 그 양이 커지고 있다. 특히, 비디오 정보는 고품질 영상에 대한 이용자의 욕구를 충족시키기 위하여 그 형이 더욱 더 커지고 있는 실정이다. 이와 더불어, 최근의 정보는 이용자가 적절한 시기에 이용할 수 있게끔 고속으로 전송되고 있다. 이로 인하여, 정보가 점유하게 될 주파수대역의 정보의 양에 따라 높아질 수밖에 없음을 물론 이거니와 정보를 전송하기 위한 라인의 수도 증가될 수밖에 없다.

실제로, 도 1에 있어서 같은 액정 패널(Liquid Crystal Panel)의 데이터 라인 구동 장치의 경우, 제어기(10)로부터 스위드 레지스터 어레이(20)와 디지털-아날로그 변환기(Digital-to-Analog Converter; 이하 "D-A 변환기"라 함)(22)를 가지는 데이터 드라이버 집적회로 칩(Data Drive Integrated Circuit Chip, 이하 "D-IC"라 함)(24) 쪽으로 전송되는 비디오 데이터는 화상의 해상도 모드가 높아짐에 따라, 즉 액정 패널 상의 화소 수가 많아짐에 따라 높은 주파수를 가질 수밖에 없다. 이를 상세히 하면, 화상의 해상도 모드가 기존의 VGA 모드에서 XGA 또는 SXGA 모드로 다짐됨에 따라 액정패널에는 더욱 더 많은 화소들이 포함되므로 1수평주기내에 전송되어야 할 1라인 분의 비디오 데이터 양이 많아진다. 이에 따라, 제어기(10)로부터 데이터 버스(11)를 경유하여 D-IC(12) 쪽으로 전송되는 비디오 데이터의 주파수가 높아지게 된다. 이와 같이, 비디오 데이터의 주파수가 높아짐에 따라, 제어기(10)로부터 1도트(Dot)분의 18비트(원래로 R,G,B 각 6비트) 데이터를 연속적으로 D-IC(12) 쪽으로 전송하기 위한 데이터 버스(11)에서는 전자기 간섭(Electromagnetic Interference, 이하 "EMI"라 함)이 심하게 나타나게 된다.

이와 더불어, 제어기(10)는 비디오 데이터의 주파수가 높아짐에 따라 하이 노리 전압과 로우 노리 전압을 고속 전환하여야 한다. 이로 인하여, 데이터 버스(11)로 데이터를 전송하는 제어기(10)는 비디오 데이터의 주파수가 높아짐에 따라 같은 전력을 소모 할 수밖에 없다.

이와 같은 데이터 전송 시의 EMI와 큰 전력 소모는 컴퓨터 본체 내의 그래픽 카드와 액정 표시 장치 (즉, 도 1에서의 제어기(10)) 간의 데이터 전송 시스템에서도 마찬가지로 발생되게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 전력 소모 및 EMI가 최소화되게끔 데이터를 전송하기에 적합한 데이터 송신 방법 및 그 장치를 제공함에 있다.

본 발명의 다른 목적은 전력 소모 및 EMI가 최소화되게끔 데이터를 수신하기에 적합한 데이터 수신 방법 및 그 장치를 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 실시 예에 데이터 송신 방법은 전송되어야 할 비트 데이터를 적어도 1 비트 이상의 기간 지연시키는 단계; 및 전송되어야 할 비트 데이터를 지연된 비트 데이터와의 동일성 여부로 치환하는 단계; 및 치환된 동일성 여부를 전송 선로 쪽으로 전송하는 단계를 포함하는 것을 특징으로 한다.

본 발명의 실시 예에 따른 데이터 송신 장치는 전송되어야 할 비트 데이터를 적어도 1 비트 이상의 기간 지연시키는 지연 수단; 전송되어야 할 비트 데이터와 지연수단으로 지연된 비트 데이터와 동일성 여부로 치환하여 그 치환된 동일성 여부를 전송 선로 쪽으로 전송하는 비트 지연 수단을 구비하는 것을 특징으로 한다.

본 발명의 실시 예에 따른 데이터 수신 방법은 비트 데이터를 일시적으로 저장하는 단계; 전송 선로로부터 현재 비트 데이터와 이전 비트 데이터와 동일성 여부를 입력하는 단계; 및 동일성 여부에 응답하여 저장되어진 비트 데이터를 선택적으로 반전시키는 단계를 포함하는 것을 특징으로 한다.

본 발명의 실시 예에 따른 데이터 수신 장치는 비트 데이터를 일시적으로 저장하는 비트 메모리; 및 전송 선로로부터의 동일성 여부에 관한 정보를 수신하고 그 동일성 여부 정보에 응답하여 상기 비트 메모리에 저장된 비트 데이터를 선택적으로 반전시키는 비트 환원 수단을 구비하는 것을 특징으로 한다.

상기 목적들 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 첨부한 도 2 및 도 3을 참조하여 상세히 설명하기로 한다.

도 2는 본 발명의 실시 예에 따른 액정 패널의 데이터 구동 장치를 도시한다. 도 2의 액정 패널의 데이터 구동 장치는 제어기(30)와 액정 패널(32) 사이에 적절 접속되어진 데이터 치환기(34)와 D-IC 칩(36)을 구비한다. 제어기(30)는 m비트의 화소 데이터를 연속적으로 데이터 치환기(34)에 공급한다. m비트의 화소 데이터에는 적색(R) 화소 데이터, 녹색(G) 화소 데이터 및 청색(B) 화소 데이터가 포함되게 된다. 화소 데이터가 18비트의 비트 데이터들을 가지게 되면, R, G 및 B 화소 데이터들은 각각 6개의 비트 데이터들을 가지게 된다. 또한, 제어기(30)는 데이터 리셋 신호(DRS)를 데이터 치환기(34) 및 D-IC 칩(36)에 공급한다. 데이터 리셋 신호(DRS)는 전환-온 때에 일정한 기간 특정 논리 값 (예를 들면, 하이(High) 또는 로우(Low) 논리 값)으로 인에이블 되거나, 또는 한 화분의 화소 데이터들이 전송될 때마다 일정한 기간 특정 논리 값으로 인에이블 된다. 나아가, 제어기(30)는 화소 데이터의 전송 주파수를 지시하는 클럭 신호를 데이터 치환기(34) 및 D-IC 칩(36)에 공급한다.

데이터 치환기(34)는 m비트 화소 데이터를 이전 라인의 m비트 화소 데이터와 비트 별로 비교한다. 또한, 데이터 치환기(34)는 비트 별 비교 결과인 m 개의 비교 비트 데이터들을 m비트 데이터 버스(31)를 경유하여 D-IC 칩(36) 쪽으로 전송하게 된다. 이를 위하여, 데이터 치환기(34)는 제어기(30)로부터의 화소 데이터를 공통적으로 입력하는 라인 메모리(40) 및 엑스클루시브 OR 게이트 어레이(42)를 구비한다.

라인 메모리(40)는 제이거(30)로부터의 데이터 리세트 신호(DRS)가 특정 논리 값을 가지는 기간에 자체 내에 저장되어진 1라인 분의 화소 데이터를 모두 특정 논리 값(예를 들어, "0" 또는 "1")으로 초기화한다. 또한, 라인 메모리(40)는 제이거(30)로부터의 클럭 신호의 특정 예지 (예를 들어, 상승 예지 또는 하강 예지) 마다 제이거(30)로부터의 m비트의 화소 데이터를 입력량과 아울러 1라인 분의 화소 데이터의 전송 기간 전에 입력량에 따라 m개의 화소 데이터를 엑스클루시브 OR 게이트(42)에 공급하게 된다. 다시 말하여, 라인 메모리(40)는 1라인 분의 화소 데이터를 저장할 수 있는 저장 용량을 가지는 쉬프트 레지스터가 될 수 있다.

엑스클루시브 OR 게이트(42)는 m개의 엑스클루시브 OR 게이트를 포함한다. m개의 엑스클루시브 OR 게이트들은 각각 제이거(30)로부터 m개의 현재 라인의 비트 화소 데이터를 분산-입력량과 아울러 라인 메모리(40)로부터 m개의 이전 라인의 비트 화소 데이터를 분산-입력한다. 또한, m개의 엑스클루시브 OR 게이트들은 각각은 현재 라인의 비트 화소 데이터가 이전 라인의 비트 화소 데이터와 동일한가를 비교한다. 양 비트 화소 데이터들이 같은 경우, 엑스클루시브 OR 게이트는 "0"의 논리 값을 가지는 비교 비트 데이터를 데이터 버스(31)를 경유하여 D-IIC 칩(36) 쪽으로 전송한다. 이와는 달리, 양 비트 화소 데이터들이 서로 다른 값을 가지면, 엑스클루시브 OR 게이트는 "1"의 논리 값을 가지는 비교 비트 데이터를 데이터 버스(31)를 경유하여 D-IIC 칩(36) 쪽으로 전송한다. 이 때, 비교 비트 데이터는 화상의 특정 (즉, 동일한 게조 값을 가지는 화소들이 수직 및 수평 방향에서 연속적으로 나타나는 성질)에 의해 "0"의 논리 값을 연속적으로 가지게 될과 아울러 "1"의 논리 값을 간헐적으로 가지게 된다. 이 결과, 비교 비트 데이터의 주파수는 현저하게 낮아지게 된다.

D-IIC 칩(36)은 데이터 버스(31)로부터 1라인 분의 비교 비트 데이터를 m비트씩 순차적으로 입력하고, 1라인 분의 비교 비트 데이터로부터 1라인 분의 화소 데이터를 복원한다. 또한, D-IIC 칩(36)은 1라인 분의 화소 데이터를 아날로그 화소 신호로 변환하여 그 변환되어진 1라인 분의 아날로그 화소 신호를 액정 패널(32) 상의 n개의 데이터 라인(DL1 내지 DLn)에 공급하게 된다. 이를 위하여, D-IIC 칩(36)은 데이터 버스(31)와 액정 패널(32) 사이에 종종 접속되어진 쉬프트 레지스터(44), 비트 환원기(46) 및 D-A 변환기(48)를 구비한다.

쉬프트 레지스터(44)는 제이거(30)로부터의 클럭 신호의 특정 예지 (상승 예지 또는 하강 예지) 마다 데이터 버스(31)로부터 비교 비트 데이터를 m비트씩 입력하여 우측으로 쉬프트 시킨다. 또한, 쉬프트 레지스터(44)는 입력되어진 1라인 분의 비교 비트 데이터를 비트 데이터를 데이터 버스(46)에 공급한다.

비트 환원기(46)는 1라인 분의 비교 비트 데이터의 비트 수 (예를 들어, (m-n)/3)에 상응하는 수량의 데이터 환원기들이 가지게 된다. 이들 비트 환원기들 각각은 쉬프트 레지스터(44)로부터의 비교 비트 데이터의 논리 값에 따라 그 저장되어진 화소 비트 데이터들 선택적으로 반전시킴으로써 화소 비트 데이터를 복원하게 된다. 이를 상세히 하면, 비트 환원기들 각각은 비교 비트 데이터의 논리 값이 "0"이면 그 저장된 화소 비트 데이터(즉, 이전 라인의 화소 비트 데이터)를 현재 라인의 화소 비트 데이터로서 D-A 변환기(48) 쪽으로 전송한다. 반면에 비교 비트 데이터의 논리 값이 "1"이면, 비트 환원기들 각각은 그 저장되어진 화소 비트 데이터를 반전시키고 반전되어진 그 저장 화소 비트 데이터들 원래의 화소 비트 데이터로서 D-A 변환기(48) 쪽으로 전송하게 된다.

D-A 변환기(48)는 액정 패널(32) 상의 데이터 라인(DL1 내지 DLn)의 수에 상응하는 D-A 변환기들을 구비한다. 이들 D-A 변환기들은 비트 환원기(46)로부터 m개의 화소 비트 데이터 (즉, m비트의 화소 데이터)를 각각 입력하게 된다. 또한, D-A 변환기들 각각은 m비트의 화소 데이터를 아날로그 신호로 변환하고 그 변환되어진 아날로그 화소 신호를 해당 데이터 라인(DL1 내지 DLn)에 공급한다.

도3은 도2에 도시된 비트 환원기를 상세하게 도시하는 상세 회로도이다. 도3의 비트 환원기는 쉬프트 레지스터(44)로부터 비교 비트 데이터(TB)를 입력하는 엑스클루시브 OR 게이트(50)와, 이 엑스클루시브 OR 게이트(50)의 출력단자에 접속되어진 입력단자(D)를 가지는 플립플롭(52)를 구비한다. 엑스클루시브 OR 게이트(50)는 비교 비트 데이터(TB)와 플립플롭(52)의 출력단자(Q)로부터 귀환되는 이전 라인의 화소 비트 데이터(PBD)를 엑스클루시브 OR 연산하여 그 결과를 플립플롭(52)의 입력단자(D)에 공급한다. 이를 상세히 하면, 엑스클루시브 OR 게이트(50)는 비교 비트 데이터(TB)의 논리 값이 "0"인 경우에는 이전 라인의 화소 비트 데이터(PBD)를 그대로 플립플롭(52)의 입력단자(D)에 공급한다. 반대로, 비교 비트 데이터(TB)의 논리 값이 "1"인 경우에는 엑스클루시브 OR 게이트(50)는 이전 라인의 화소 비트 데이터(PBD)를 반전시켜 플립플롭(52)의 입력단자(D)에 공급한다. 다시 말하여, 엑스클루시브 OR 게이트(50)는 비교 비트 데이터(TB)의 논리 값에 따라 플립플롭(52)의 출력단자(Q)로부터 입력단자(D) 쪽으로 귀환될 화소 비트 데이터(PBD)를 선택적으로 반전시키게 된다.

플립플롭(52)은 도2에서의 제이거(30)로부터 자신의 클리어단자(CLR)쪽으로 공급되는 데이터 리세트 신호(DRS)에 선택적으로 응답하여 출력단자(Q) 상의 화소 비트 데이터(PBD)를 "0"의 논리 값으로 초기화한다. 플립플롭(52)의 출력단자(Q) 상의 화소 비트 데이터(PBD)는 데이터 리세트 신호(DRS)가 로우논리를 가지는 때에 "0"의 논리 값으로 초기화된다. 또한, 플립플롭(52)은 라인 펄스(LP)에 응답하여 입력단자(D) 상의 논리신호를 출력단자(Q) 쪽으로 래치시킨다. 플립플롭(52)의 입력단자(D) 상의 논리신호는 라인 펄스의 상승 예지 (또는 하강 예지)마다 출력단자(Q)쪽으로 래치되게 된다. 이러한 동작을 수행하는 플립플롭(52)은 이전의 화소 비트 데이터를 일시적으로 보관하기 위한 1 비트 메모리의 기능을 수행한다고 할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 데이터 전송 장치에서는 전송될 비트 데이터가 이전의 비트 데이터와 동일한가의 여부를 나타내는 비교신호의 형태로 전송되게 함으로써 수평 및 수직 방향에서 동일한 논리 값을 가지는 데이터가 수 회 내지 수십 회 나타나게 되는 데이터 파일 (예를 들어, 영상 데이터)의 주파수(즉, 논리 변경 횟수)를 현저하게 낮출 수 있다. 전송 시의 데이터 파일의 주파수, 즉 논리 변경 횟수가 줄어들게 됨으로써, 본원 발명에 따른 데이터 전송 장치는 전력 소모 및 EMI를 최소화 할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 일 예로, 본원 발명의 실시 예로서 도2에서와 같은 제이거와 D-IIC 칩간의 데이터 전송로가 설정되었으나, 당업자라면 누구나 본원 발명이 컴퓨터 본체로 있는 그래픽 카드와 제이거 간의 전송로에 적용될 수 있고 아울러 그래픽 카드와 D-IIC 칩 간의 전송로에도 적용될 수 있다는 것을 충분히 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야 할 것이다.

(57) 청구의 범위

청구항 1.

전송되어질 비트 데이터를 적어도 1 비트 이상의 기간 지연시키는 단계; 및

상기 전송되어질 비트 데이터를 지연된 비트 데이터와의 동일성 여부를 치환하는 단계; 및

치환된 동일성 여부를 전송 선로 쪽으로 전송하는 단계를 포함하는 것을 특징으로 하는 데이터 송신 방법.

청구항 2.

전송되어질 비트 데이터를 적어도 1 비트 이상의 기간 지연시키는 지연수단;

상기 전송되어질 비트 데이터와 상기 지연수단으로부터의 비트 데이터와 동일성 여부를 치환하여 그 치환된 동일성 여부를 전송 선로 쪽으로 전송하는 비트 치환 수단을 구비하는 것을 특징으로 하는 데이터 송신장치.

청구항 3.

제 2 항에 있어서,

상기 지연수단이 라인 메모리인 것을 특징으로 하는 데이터 송신장치.

청구항 4.

제 2 항에 있어서,

상기 비트 치환 수단이 엑스클루시브 OR 게이트인 것을 특징으로 하는 데이터 송신장치.

청구항 5.

비트 데이터를 일시적으로 저장하는 단계;

전송 선로로부터 현재 비트 데이터와 이전 비트 데이터와 동일성 여부를 입력하는 단계; 및

상기 동일성 여부에 응답하여 저장되어진 비트 데이터를 선택적으로 반전시키는 단계를 포함하는 것을 특징으로 하는 데이터 수신 방법.

청구항 6.

비트 데이터를 일시적으로 저장하는 비트 메모리; 및

전송 선로로부터의 동일성 여부에 관한 정보를 수신하고 그 동일성 여부 정보에 응답하여 상기 비트 메모리에 저장된 비트 데이터를 선택적으로 반전시키는 비트 변환 수단을 구비하는 것을 특징으로 하는 데이터 수신장치.

청구항 7.

제 6 항에 있어서,

상기 비트 메모리가 플립플롭으로 된 것을 특징으로 하는 데이터 수신장치.

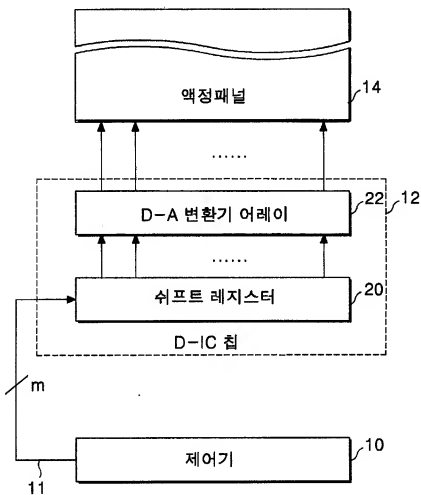
청구항 8.

제 6 항에 있어서,

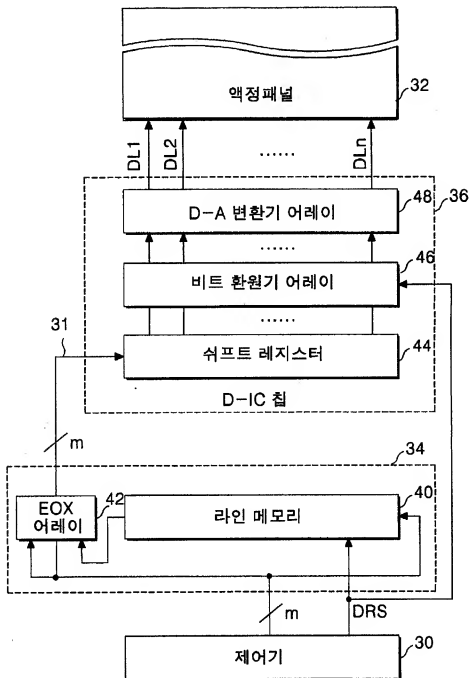
상기 비트 변환 수단이 엑스클루시브 OR 게이트인 것을 특징으로 하는 데이터 수신장치.

도면

도면 1



도면 2



도면 3

